

BEST AVAILABLE COPY**RDS demodulator and error-corrector - delays received signals, demodulates and corrects errors according to threshold cross-over of demodulated signals**

Patent number: DE4234603
Publication date: 1994-04-21
Inventor: HENZE WERNER (DE)
Applicant: BLAUPUNKT WERKE GMBH (DE)
Classification:
- **International:** H04L27/22; H04L1/20
- **European:** H04L1/20M, H04H1/00A2R, H04L27/233A
Application number: DE19924234603 19921014
Priority number(s): DE19924234603 19921014

Abstract of DE4234603

The demodulator delays a received signal by a half period of a radio data signal (RDS) bit. The received and delayed signals are added vectorially to produce a rectangular signal (ZD). The phase of the rectangular signal depends on the carrier frequency signal of the received and delayed signals. The vector addition is performed digitally.

After demodulation, errors can be determined through comparison between the demodulated signal and a reference signal. The errors can then be corrected. Signals are used for error correction which represent a measure of the quality of the demodulated signal. The error correction depends on whether or not cross-over of the demodulated signals is detected within a half bit period.

USE/ADVANTAGE - Corrects errors before error correction of RDS with test words is carried out.

Errors recognised and corrected without use of test words.

Data supplied from the **esp@cenet** database - Worldwide



②① Aktenzeichen: P 42 34 603.7
②② Anmeldetag: 14. 10. 92
④③ Offenlegungstag: 21. 4. 94

DE 42 34 603 A 1

⑦① Anmelder:
Blaupunkt-Werke GmbH, 31139 Hildesheim, DE

⑦④ Vertreter:
Eilers, N., Dipl.-Phys., Pat.-Anw., 31139 Hildesheim

⑦② Erfinder:
Henze, Werner, 3000 Hannover, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Demodulator- und Fehlerkorrektur-Schaltung für Radio-Daten-Signale

⑤⑦ Bei einer Demodulator- und Fehlerkorrektur-Schaltung für Radio-Daten-Signale, deren Übertragung durch Phasenumtastung eines unterdrückten Hilfsträgers erfolgt, wobei das empfangene hilfsträgerfrequente Signal um eine halbe Periode des Bittaktes des Radio-Daten-Signals verzögert wird, das empfangene und das verzögerte hilfsträgerfrequente Signal vektoriell addiert werden und aus dem Ergebnis der vektoriellen Addition ein Rechtecksignal (ZD) abgeleitet wird, dessen Phase von dem empfangenen und dem verzögerten hilfsträgerfrequenten Signal abhängt, erfolgt die vektorielle Addition digital. Nach der Demodulation können durch Vergleich mit der Sollfunktion des demodulierten Signals Fehler erkannt und korrigiert werden.

DE 42 34 603 A 1

Die Erfindung geht aus von einer Demodulator- und Fehlerkorrektur-Schaltung für Radio-Daten-Signale nach der Gattung des Hauptanspruchs.

Mit dem bekannten Radio-Daten-System können zusätzlich zu den Audiosignalen Datensignale übertragen werden, die beispielsweise den Namen des ausgestrahlten Programms oder andere Information enthalten. Um beim UKW-Stereo-Hörrundfunk die Kompatibilität mit den Audiosignalen sowie mit Verkehrsfunksignalen sicherzustellen, wird bei dem Radio-Daten-System der auch beim Verkehrsfunk verwendete Träger von 57 kHz mit den zu übertragenden Daten moduliert, wobei allerdings die Seitenbänder außerhalb der für verschiedene Signale des Verkehrsfunks benutzten Modulationsfrequenzen liegen. Es wird dabei eine Biphasencodierung gewählt, die bewirkt, daß sich keine Spektralanteile bei 57 kHz ergeben und der Takt implizit mitübertragen wird. Das gesamte Spektrum des modulierten Radio-Daten-Signals, im folgenden auch RDS-Signal genannt, wird auf $\pm 2,4$ kHz begrenzt.

Zur Demodulation von Radio-Daten-Signalen wurde in der älteren Anmeldung P 42 05 015.4 der Anmelderin bereits vorgeschlagen

- daß das empfangene hilfsträgerfrequente Signal um eine halbe Periode des Bittaktes des Radio-Daten-Signals verzögert wird,
- daß das empfangene und das verzögerte hilfsträgerfrequente Signal vektoriell addiert werden,
- daß aus dem Ergebnis der vektoriellen Addition ein Rechtecksignal (ZD) abgeleitet wird, dessen Phase von dem empfangenen und dem verzögerten hilfsträgerfrequenten Signal abhängt,
- daß das Rechtecksignal nur zur Demodulation ausgewertet wird, wenn die Amplitude des vektoriell addierten Signals ausreichend groß ist,
- daß aus dem vektoriell addierten Signal der 57-kHz-Hilfsträger wiedergewonnen wird,
- daß von dem Rechtecksignal ein Datenimpulssignal abgeleitet wird, das in Abhängigkeit vom Vorzeichen der gemessenen Phasendifferenz zwischen dem Rechtecksignal und dem wiedergewonnenen 57-kHz-Hilfsträger einen ersten und einen zweiten Pegel einnimmt und
- daß ein Signal mit der doppelten Bittaktfrequenz aus dem wiedergewonnenen 57-kHz-Hilfsträger und dem unverzögerten Signal (A) oder dem verzögerten Signal (B) abgeleitet wird und zur Demodulation verwendet wird.

Aufgabe der vorliegenden Erfindung ist es, eine Demodulator- und Fehlerkorrektur-Schaltung anzugeben, die es ermöglicht, Fehler bereits zu korrigieren bevor die Fehlerkorrektur des Radio-Daten-Systems mit den Prüfworten im Daten-Signal ausgeführt wird.

Die Demodulator- und Fehlerkorrektur-Schaltung mit den kennzeichnenden Merkmalen des Hauptanspruchs hat den Vorteil, daß bereits ohne Benutzung des Prüfwortes im Radio-Daten-Signal Fehler im demodulierten Signal erkannt und entsprechend ihrer Art korrigiert werden können.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Erfindung möglich.

Ausführungsbeispiele der Erfindung sind in der

Zeichnung anhand mehrerer Figuren dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigt:

Fig. 1 Spannungs- und Phasenzeitdiagramme von Signalen bei gemeinsamen Empfang von Radio-Daten-Signalen und Verkehrsfunksignalen,

Fig. 2 Spannungs- und Phasenzeitdiagramme von Signalen beim Empfang von Radio-Daten-Signalen ohne Verkehrsfunksignale,

Fig. 3 eine digitale Schaltungsanordnung zur vektoriellen Addition des empfangenen hilfsträgerfrequenten Signals und eines um eine halbe Periode verzögerten hilfsträgerfrequenten Signals,

Fig. 4 Zeitdiagramme von Signalen bei der Schaltungsanordnung nach Fig. 3,

Fig. 5 eine Demodulatorschaltung zur Demodulation des Ausgangssignals der Schaltungsanordnung nach Fig. 3,

Fig. 6 eine Schaltungsanordnung zur Fehlerkorrektur,

Fig. 7 Zeitdiagramme von Signalen, welche bei der Schaltungsanordnung nach Fig. 6 auftreten,

Fig. 8 ebenfalls Signale bei der Schaltungsanordnung nach Fig. 6, die jedoch mit einem anderen Fehler behaftet sind,

Fig. 9 ebenfalls die bei der Schaltungsanordnung nach Fig. 6 vorhandenen Signale für einen anderen Betriebsfall,

Fig. 10 eine Schaltungsanordnung zur Erfassung von Signalfanken,

Fig. 11 eine Schaltungsanordnung zur Synchronisation von Referenzsignalen,

Fig. 12 Zeitdiagramme von Signalen, die bei der Schaltungsanordnung nach Fig. 11 auftreten,

Fig. 13 eine Schaltungsanordnung zur Verarbeitung von Datenimpulsen und

Fig. 14 Zeitdiagramme von Signalen bei der Schaltungsanordnung nach Fig. 13.

Gleiche Teile sind in den Figuren mit gleichen Bezugszeichen versehen. Zähler sind durch ein Symbol "0, 1, 2 ..." und Schieberegister mit "SR" gekennzeichnet. Dabei bedeutet "CL" Takteingang, "R" Rücksetzeingang, "D" Dateneingang und "LD" Load-Eingang. Bei Komparatoren sind die Eingangsgrößen mit A und B bezeichnet und die Ausgänge mit der jeweiligen Bedingung: Decoder, welche eine vom Inhalt eines Zählers abhängige Information erzeugen, sind durch den jeweiligen Zählerstand in eckigen Klammern gekennzeichnet. Einige Ein- und Ausgänge sind in mehreren Figuren mit Pfeilen und Ziffern versehen, die darauf hinweisen, von und zu welchen Teilen in anderen Figuren die entsprechenden Signale geleitet werden.

Bei der erfindungsgemäßen Schaltung wird von zwei empfangenen hilfsträgerfrequenten Signalen ausgegangen, die gegeneinander um eine halbe Bittaktperiode verschoben sind, wobei das eine invertiert ist. Schaltungsanordnungen zur Erzeugung dieser Signale sind an sich bekannt und beispielsweise in der Patentanmeldung P 42 05 015.4 erläutert. Diese Signale — im folgenden Signal X und Signal Y genannt — werden anhand der Fig. 1 und 2 näher erläutert. Dabei zeigt Fig. 1 Zeitdiagramme für den Fall eines Empfangs von Radio-Daten-Signalen zusammen mit Verkehrsfunksignalen und Fig. 2 Zeitdiagramme für den Fall des Empfangs von reinen Radio-Daten-Signalen. In Zeile a ist jeweils die Amplitude der Signale X bzw. Y dargestellt und als Zeitmaßstab jeweils eine halbe Bittaktperiode BT. In der Zeile a ist das Signal selbst lediglich durch die Hüll-

kurven H dargestellt.

Die Zeilen b und c zeigen die Funktion der Phasenlagen der Signale X und Y in Abhängigkeit von der Zeit. An Zeile d ist zu erkennen, daß beim Empfang von Radio-Daten-Signalen mit Verkehrsfunksignalen die Phase des Signals $X + Y$ zwischen $\pm 90^\circ$ alterniert. Bei dem Empfang von Radio-Daten-Signalen ohne Verkehrsfunksignale (Fig. 2) weist das Signal $X + Y$ Lücken auf, die durch Signalauslösungen entstehen. In diesem Bereich wird schaltungstechnisch davon ausgegangen, daß die Phase des Signals beibehalten wurde — also kein Phasensprung erfolgte.

Bei einer analogen Addition der Signale X und Y — beispielsweise über Widerstände — würden sich die in Fig. 1 und 2 der Zeilen e dargestellten Amplitudenverläufe ergeben. Die Amplitude verdoppelt sich dabei gegenüber derjenigen der Signale X und Y. Mit Hilfe eines regenerierten 57-kHz-Hilfsträgers kann aus dem vektoriell addierten Signal das Signal DS gewonnen werden, das in Zeile f dargestellt ist. Mit einem ebenfalls regenerierten Bittakt wird dann von dem Signal DS das in Zeile g dargestellte Signal AS zur Weiterverarbeitung abgeleitet.

Die vektorielle Addition der Signale X und Y kann in vorteilhafter Weise mit der in Fig. 3 dargestellten digitalen Schaltung erfolgen. In dieser Schaltung auftretende Signale sind in Fig. 4 gezeigt. Über Eingänge 1, 2 werden die Signale X und Y (Zeilen a und b) einer Und-Schaltung 3 zugeführt, an deren Ausgang ein Signal ZS (Zeile c) ansteht. Solange das Signal $ZS = 1$ ist, gelangen Zählimpulse mit einer Frequenz von 2,166 MHz, die einem Eingang 4 zugeführt werden, über eine Und-Schaltung 5 und eine Oder-Schaltung 6 zum Takteingang eines Zählers 7. Während der übrigen Zeit, während der $ZS = 0$ ist, wird der Zähler 7 mit Quarztaktsignalen betrieben, deren Frequenz 4,332 MHz beträgt und die über einen weiteren Eingang 8, eine weitere Und-Schaltung 9 und über die Oder-Schaltung 6 zum Zähler 7 gelangen.

Mit einem Impulsformer 10 wird von jeder positiven Flanke des Signals ZS ein Nadelimpuls abgeleitet, der den Zähler 7 rücksetzt. An den Ausgang des Zählers 7 ist ein Decoder 11 angeschlossen, der beim Zählerstand [38] den Zähler sperrt. Außerdem wird das Ausgangssignal des Decoders 11 (Zeile e) einem weiteren Impulsformer 12 zugeführt, der mit jeder positiven Flanke des Ausgangssignals des Decoders 11 einen kurzen Synchronimpuls S abgibt (Zeile f). Dadurch, daß der Zähler 7 während $ZS = 1$ mit halber Quarztaktfrequenz getaktet wird, beginnt der Zähler 7 mit dem Zählen von Quarztaktimpulsen scheinbar in der Mitte der Impulse des Signals ZS. Diese scheinbare Zählweise ist in Zeile d der Fig. 4 durch Pfeile dargestellt.

Der bei 8 zugeführte Quarztakt mit der Frequenz von 4,332 MHz gelangt ferner zu einem Takteingang eines weiteren Zählers 13, dessen Ausgang mit dem Eingang eines weiteren Decoders 14 verbunden ist, der einen vorgebbaren Wert von [38] aufweist. Der Ausgang des Decoders 14 ist an einen Rücksetzeingang eines Flip-Flops 15 angeschlossen, dessen invertierender Ausgang mit dem Rücksetzeingang des Zählers 13 verbunden ist. Der nichtinvertierende Ausgang des Flip-Flops 15 bildet den Ausgang der in Fig. 3 dargestellten Schaltungsanordnung und führt das Signal ZD, das in Zeile g der Fig. 4 dargestellt ist.

Sobald das Flip-Flop 15 durch den Synchronimpuls S gesetzt ist, kann der Zähler 13 mit dem Zählen beginnen und setzt über den Decoder 14 das Flip-Flop bei Errei-

chen des Wertes [38] zurück. Das Signal ZD ist gegenüber dem vektoriellen Summensignal ZS um 90° phasenverschoben.

Die in Fig. 5 dargestellte Demodulator-Schaltung dient zur Demodulation des Signals ZD, das über einen Eingang 21 den Dateneingängen zweier Flip-Flops 22, 23 zugeführt wird. Diese bilden zusammen mit Verzögerungsschaltungen 24, 25 einen Frequenz/Phasen-Demodulator 26. Über einen Eingang 27 wird ein regenerierter 57-kHz-Hilfsträger zugeführt, der direkt an den Takteingang des Flip-Flops 22 und nach Invertierung bei 28 an den Takteingang des Flip-Flops 23 gelangt. Jedes Setzen eines der Flip-Flops 22, 23 bewirkt über die Verzögerungen 24, 25 ein anschließendes Rücksetzen der Flip-Flops. Mit den Ausgangsimpulsen des Flip-Flops 22 wird ein Zähler 28 getaktet und ein weiteres Flip-Flop 29 gesetzt. Entsprechend wird mit den Ausgangsimpulsen des Flip-Flops 23 ein Zähler 30 getaktet und das Flip-Flop 29 rückgesetzt. Das Flip-Flop 29 liefert an seinem Ausgang das demodulierte Signal DS, das am Ausgang 31 entnommen werden kann.

Das Signal DS kann auch zur Rückgewinnung des Bittaktes benutzt werden, wozu an den Ausgang 31 ein Bittakt-Regenerator angeschlossen werden kann. Geeignete Schaltungen sind in der oben erwähnten Patentanmeldung beschrieben. Dabei entsteht ein Bittakt-signal BT und ein Taktsignal DBT mit doppelter Bittakt-frequenz. Für die erfindungsgemäße Schaltungsanordnung werden ferner Signale DBT+ und DBT- abgeleitet, die von kurzer Dauer sind und der positiven bzw. negativen Flanke des Taktsignals DBT entsprechen.

Die Zählerstände der Zähler 28 und 30 werden in einem Komparator 32 miteinander verglichen. Mit dem Signal DBT+, das bei 33 zugeführt wird, werden die Zähler 28, 30 rückgesetzt und das Vergleichsergebnis zu einer Fehlerkorrektur-Schaltung 34 weitergeleitet. Zur Fehlerkorrektur sind zwei weitere Schaltungen notwendig, nämlich eine Schaltung 35 zur Signalfankenerfassung und eine Synchronisations-Schaltung 36. Mit der Schaltung 35 werden die Signalfanken des Signals DS erfaßt und mit der Synchronisations-Schaltung 36 wird ein in dieser Schaltung befindliches Flip-Flop synchronisiert, dessen Ausgangssignal RFF ebenfalls zur Fehlerkorrektur benutzt wird. Die Fehlerkorrektur-Schaltung 34 liefert dann das Datenimpulssignal DI an eine Schaltung 37, die unter Verwendung des Signals DBT das Radio-Daten-Signal und den RDS-Bittakt BT liefert. Ein Decoder 40 erzeugt dann die decodierten RDS-Daten.

Fig. 6 zeigt Einzelheiten der Fehlerkorrektur-Schaltung 34 (Fig. 5). Das Vergleichsergebnis des Komparators wird über einen Eingang 41 dem Dateneingang eines Flip-Flops 42 zugeführt. Dieses Flip-Flop und zwei weitere Flip-Flops 43, 44 werden mit dem Signal DBT+ getaktet, das über einen Eingang 45 zugeführt wird. Die Flip-Flops 42, 43, 44 bilden ein Schieberegister, wobei eine Korrektur mit dem Flip-Flop 43 vorgenommen werden kann, indem dieses Flip-Flop gesetzt bzw. rückgesetzt wird. Zwei Fehlerarten sind zur Korrektur vorgesehen.

Bei einer ersten Art müssen Bedingungen erfüllt sein, welche durch die Und-Schaltungen 46, 47 verknüpft sind. Diese Fehlerart ist bei jedem Phasenwechsel des Signals DS wirksam. Die zweite Korrekturart kommt zum Einsatz, wenn Impulse im Signal DS ersetzt werden müssen. Wenn die mit den Und-Schaltungen 46, 47 vorgegebenen Bedingungen nicht erfüllt werden und danach die Inhalte der Flip-Flops 42 bis 44 gleich sind, kann davon ausgegangen werden, daß ein Impuls er-

setzt werden muß. Dazu wird über weitere Und-Schaltungen 48, 49 und über Oder-Schaltungen 48', 49' das Flip-Flop 43 gesetzt bzw. rückgesetzt.

Zeile a der Fig. 7 stellt das Bittakt-Signal DBT mit doppelter Bittaktfrequenz dar, während die Zeilen b und c das Signal DS einerseits in einem Ist-Zustand und andererseits in einem Sollzustand zeigen. Die dadurch gegebenen Inhalte F42, F43 und F44 der Flip-Flops 42, 43, 44 (Fig. 6) sind in den Zeilen d, e und g dargestellt, wobei ferner die Zeile f den Inhalt F43' zeigt, nämlich den korrigierten Inhalt. Die durch die Und-Schaltungen 46, 47 gegebenen Bedingungen sind folgende:

1. Es muß ein Phasenwechsel im Signal ZD vorgelegen haben. Dieses ist immer der Fall gewesen, wenn die Inhalte der Flip-Flops 42 und 44 verschieden sind. Der Ausgang einer ersten Exklusiv-Oder-Schaltung 51 (Fig. 6) ist dann "1", womit die erste Bedingung erfüllt ist. Dazu ist der Ausgang der Exklusiv-Oder-Schaltung 51 mit Eingängen der Und-Schaltungen 46, 47 verbunden.
2. Bei dem in den Fig. 1 und 2 dargestellten Signal AS ist zu erkennen, daß die Zeitbereiche, während denen die Phase wechselt, alternierend 0- und 1-Pegel aufweisen. Entsprechend diesem Wechsel ist der Synchronisations-Schaltung 36 (Fig. 5) ein Flip-Flop mit der Bezeichnung RFF (Richtungs-Flip-Flop) vorgesehen. Als zweite Bedingung muß der richtige Pegel des Richtungs-Flip-Flops vorhanden sein. Dazu sind Eingänge 52, 53 mit einem invertierten und einem nichtinvertierten Ausgang des Flip-Flops RFF in der Synchronisations-Schaltung 36 verbunden.
3. Zwei Taktperioden des Signals DBT vor der Korrektur, wobei der Bezugszeitpunkt der positiven Flanke entspricht, muß entweder mit der Signalfankenerfassung 35 (Fig. 5) eine Signalfanke des Signals DS mit der richtigen Richtung oder der richtige mit den Decodern 38, 39 (Fig. 5) abgeleitete Pegel festgestellt worden sein. Mit den Decodern 38, 39 wird festgestellt, ob die Zähler 28 bzw. 30 innerhalb einer doppelten Bittaktperiode einen vorgegebenen Zählerstand von beispielsweise [18] erreicht haben oder nicht. Dementsprechend wird bei erreichtem Zählerstand die Tatsache, daß es sich um eine "gute" 0 bzw. eine "gute" 1 handelt, ausgewertet.
4. Ein doppelter Bittakt vor der Korrektur muß eine "gute" 0 (DWN=1) bzw. eine "gute" 1 (DWP=1) beim Signal DS festgestellt worden sein. Die Signale DWP und DWN werden der Schaltung nach Fig. 6 über Eingänge 54, 55 zugeführt.
5. Die Korrektur darf erst erfolgen, wenn die Flip-Flops 42 bis 44 nach dem doppelten Bittakt ihren neuen Ausgangspegel aufweisen. Dabei ist die Korrekturart mit Hilfe der Und-Schaltungen 46 und 47 zeitlich gegenüber der Korrekturart mit den Und-Schaltungen 48, 49 zuerst möglich. Wenn eine Fehlerkorrektur nach der ersten Art nicht erfolgte und danach die Flip-Flops 42 bis 44 gleiche Pegel aufweisen, muß sofort ein Impuls ersetzt werden. Dazu sind die Ausgänge der Flip-Flops 42 bis 44 mit Eingängen der Und-Schaltungen 48, 49 verbunden, so daß bei Gleichheit der Inhalte der Flip-Flops 42 bis 44 entweder die Und-Schaltung 48 oder die Und-Schaltung 49 den Pegel 1 am Ausgang aufweist. Während der Dauer der Impulse des Signals DBT+ wird allerdings über einen Invertierer 61

das Setzen bzw. Rücksetzen des Flip-Flops 43 über die Und-Schaltungen 48, 49 verhindert.

Fehler im Signal DS führen auch zu entsprechenden Fehlern am Ausgang des Komparators 32 (Fig. 5). Für die Fehlerbetrachtung kann deshalb auf das Signal DS Bezug genommen werden. In dem in Fig. 7, Zeile b dargestellten Signal DS sind zwei Fehler enthalten. Deshalb sind die entsprechenden Impulse zu ersetzen. Aufgrund der Signalpegel ist die erste Art der Fehlerkorrektur nicht ausführbar, so daß der Fall auftritt, daß die Pegel F42, F43 und F44 gleich sind. Deshalb wird durch Kippen des Flip-Flops 43 (Fig. 6) der Pegel F43' bei 67 und bei 68 (Zeile f) geändert. Entsprechend den Bedingungen 1 bis 4 sind in Fig. 7, innerhalb der Zeilen h bis o die Signale F42 \neq F44, RFF, "gute" 0 bzw. "gute" 1 und DWN sowie DWP dargestellt. Außerdem zeigt Fig. 7 eine Tabelle, die zeitlich mit den Zeitdiagrammen übereinstimmt und die Ist- und Sollwerte für die erste Korrekturart enthält. Zeile k zeigt ein Signal, das den Pegel 1 annimmt, wenn F42 = F43 = F44 ist. Ein derartiges Signal entsteht durch eine Oder-Schaltung 56 (Fig. 6) und kann an deren Ausgang 57 zur weiteren Verarbeitung abgenommen werden.

Aus der Tabelle in Fig. 7 ist zu erkennen, daß bei beiden Fehlern des Signals DS (Zeile b) keine Korrektur nach der ersten Art erfolgen kann. Zeitlich danach wird eine Korrektur nach der zweiten Art ausgeführt.

Bei dem in Fig. 8 dargestellten Fall ist das vom Signal DS abgeleitete Signal F42 (Zeile c) fehlerhaft. Mit Hilfe der in der Tabelle aufgeführten Bedingungen 1 bis 4 ist es jedoch möglich, das Flip-Flop 43 so zu steuern, daß das Signal korrekt an das Flip-Flop 44 weitergegeben wird. Als Bedingung 3 wird dabei die Richtung der jeweiligen zum doppelten Bittakt zurückliegenden Signalfanke des Signals berücksichtigt.

Wenn jedoch in dem genannten Zeitbereich keine Signalfanken vorhanden sind, wird so verfahren, wie es in Fig. 9 dargestellt ist. In diesem Fall wird die Entscheidung entsprechend "guter" 0 und "guter" 1 in dem angegebenen Zeitbereich getroffen. Dabei entstehen Korrekturimpulse, die jedoch in den dargestellten Fällen das Flip-Flop 43 nicht kippen. Wenn in der Fehlerkorrektur-Schaltung die Flip-Flops 43 und 44 gleichen Pegel aufweisen, wird mit einer Exklusiv-Oder-Schaltung 58 (Fig. 6) ein Datenimpuls DI zur weiteren Verarbeitung an die Datenimpulsverarbeitung und Bittakt-Wiedergewinnung weitergegeben (Ausgang 59).

Bei jedem Phasenwechsel, das heißt, wenn F42 \neq F44 ist, muß zur Synchronisation des Flip-Flops RFF in der Synchronisations-Schaltung 36 (Fig. 5) das Ausgangssignal der Exklusiv-Oder-Schaltung 58 über einen Ausgang 59 ausgegeben werden. Außerdem muß mit jedem Datenimpuls DI und der Rückflanke des doppelten Bittaktes das Flip-Flop RFF getaktet werden. Dazu dient eine Und-Schaltung 60 (Fig. 6). Mit jedem Korrekturimpuls werden Schieberegister-Flip-Flops in der Schaltung 35 (Fig. 5) zur Signalfankenerfassung rückgesetzt, weil in dem damit verbundenen Zeitabschnitt keine der Bedingungen erfüllt sein muß, um Fehlerkorrekturimpulse zu erzeugen. Einer Und-Schaltung 60 (Fig. 6) werden die Datenimpulse DI und über einen Eingang 62 das Signal DBT- zugeführt. Dabei entsteht am Ausgang 63 ein Taktsignal für das Flip-Flop RFF in der Synchronisations-Schaltung 36 (Fig. 5).

Fig. 10 stellt Einzelheiten der Schaltung 36 (Fig. 5) zur Signalfankenerfassung dar. Die Aufgabe dieser Schaltung ist es, die erste nach jedem doppelten Bittakt

vorkommende Signalflanke bzw. einen Pegel des Signals DS zu erfassen, die folgenden Flanken bis zum nächsten doppelten Bittakt zu ignorieren und die gewonnene Information mit Hilfe eines Schieberegisters zu verzögern.

Einem Eingang 71 werden Nadelimpulse DBT+ zugeführt, welche die positive Flanke des doppelten Bittaktes kennzeichnen. Diese setzen zwei Flip-Flops 72, 73 zurück und werden Takteingängen zweier Schieberegister 74, 75 zugeleitet. Ein weiterer Eingang 76 erhält das Signal DS, aus dessen positiven und negativen Flanken jeweils Nadelimpulse mit Hilfe der Impulsformer 77, 78 abgeleitet werden. Diese Nadelimpulse werden über je eine Und-Schaltung 79, 80 den Takteingängen der Flip-Flops 72, 73 zugeleitet. Außerdem werden die Nadelimpulse über eine Oder-Schaltung 81 zusammengefaßt, so daß ein Signal DSF entsteht, welches bei jeder Flanke des Signals DS einen Nadelimpuls aufweist.

Wenn die Flip-Flops 72, 73 rückgesetzt sind, bewirkt eine positive Flanke des Signals DS das Setzen des Flip-Flops 72 bzw. eine negative Flanke das Setzen des Flip-Flops 73. Weitere Flanken des Signals DS können dann bis zum nächsten Impuls DBT+ den Inhalt der Flip-Flops 72, 73 nicht mehr verändern. Das Flip-Flop 72 kann außerdem gesetzt werden, wenn eine "gute" 0 mit dem Zähler 28 und dem Decoder 38 (Fig. 5) gemessen wurde. Dazu wird einem Eingang 82 der Schaltungsanordnung nach Fig. 10 das Ausgangssignal des Decoders 38 (Fig. 5) zugeführt. In entsprechender Weise wird das Flip-Flop 73 gesetzt, wenn eine "gute" 1 gemessen wurde. Dazu wird einem Eingang 83 das Ausgangssignal des Decoders 38 (Fig. 5) zugeführt.

Die invertierten Ausgangssignale der Flip-Flops 72, 73 werden über eine Und-Schaltung 84 Eingängen der Und-Schaltungen 79, 80 zugeführt, womit bewirkt wird, daß die Nadelimpulse die Takteingänge nur bei rückgesetzten Flip-Flops 72, 73 erreichen. Über einen Invertierer 85 ist das Ausgangssignal der Und-Schaltung 84 mit einem Ausgang 86 verbunden, an welchem ein Inhibit-Signal INH für einen im Zusammenhang mit Fig. 11 noch zu beschreibenden Zähler ansteht.

Die Ausgangssignale der Flip-Flops 72, 73 werden über Verzögerungsglieder 87, 88 Eingängen der Schieberegister 74, 75 zugeführt, damit die Ausgangspegel der Flip-Flops unabhängig vom Rücksetzen der Flip-Flops lange genug zur Übernahme in die Schieberegister 74, 75 zur Verfügung stehen.

Die Ausgänge 88, 88' führen Signale F+ und F-, welche die positiven und negativen Flanken des Signals DS kennzeichnen, jedoch denen gegenüber verzögert sind. Diese Signale werden den in Fig. 6 dargestellten Und-Schaltungen 46, 47 als Bedingung zur Fehlerkorrektur zugeführt.

Fig. 11 zeigt eine Schaltungsanordnung zur Synchronisation des Richtungs-Flip-Flops 91, an dessen Ausgang 92 das Signal RFF zur Verfügung steht, das ebenfalls zu den Und-Schaltungen 46, 47 in Fig. 6 gelangt. Synchronisierimpulse dürfen nur bei möglichst ungestörten Signalabschnitten erzeugt werden. Zur Auslösung eines Synchronisierimpulses sind daher folgende Bedingungen zu erfüllen:

1. Der Synchronisationsvorgang des Flip-Flops 91 darf nur erfolgen, wenn mit der Fehlerkorrektur-Schaltung 34 (Fig. 5) ein Phasenwechsel $F42 \neq F44$ bzw. $F43 = F44$ festgestellt wird.
2. Es muß sichergestellt sein, daß im Zeitbereich zwischen dem zweiten und dem dritten DB-Takt-

impuls voder Synchronimpulserzeugung das Signal DS die erwartete, vom Signal DWN bzw. DWP abhängige Phasenlage aufweist und diese Phase für eine Mindestzeit vorhanden ist. Zu diesem Zweck ist bei der Schaltungsanordnung nach Fig. 11 ein Zähler 93 vorgesehen, der Ausgangsimpulse des Frequenz/Phasendemodulators 26 (Fig. 5) zählt. Dazu sind die Ausgänge der Flip-Flops 22, 23 mit Eingängen 94, 95 verbunden, die über je eine Und-Schaltung 96, 97 und eine Oder-Schaltung 98 an den Eingang des Zählers 93 angeschlossen sind. Weitere Eingänge der Und-Schaltung 96, 97 sind mit Signalen DWP und DWN beaufschlagt, deren Erzeugung später erläutert wird.

Erreicht der Zähler 93 einen vorgegebenen Wert K, beispielsweise [8], wird mit Hilfe eines Decoders 99 der Zählvorgang gestoppt. Der Zähler wird ebenfalls gestoppt, wenn im Signal DS eine Flanke festgestellt wird, wozu über einen Eingang 100 und eine Oder-Schaltung 101 das Signal INH vom Eingang 86 der Schaltungsanordnung nach Fig. 10 zugeführt wird.

3. In den gleichen Zeitbereich wie bei der Bedingung 2 darf nur eine oder keine Taktflanke des Signals DS fallen. Die Anzahl der Taktflanken wird mit einem Zähler 102 gezählt und in einem Komparator 103 mit dem Wert "1" verglichen. Die Bedingung ist erfüllt, wenn der Zählerstand "0" oder "1" mit dem nächsten DB-Taktimpuls weitergegeben wird.

4. In dem Zeitbereich zwischen dem dritten und vierten DB-Taktimpuls muß mit den Decodern 38 und 39 (Fig. 5) eine "gute" 1 bzw. "gute" 0 festgestellt worden sein.

5. Setz- und Rücksetzsynchronisierimpulse für das Flip-Flop 91 müssen miteinander abwechseln. Ist das nicht der Fall, bleiben die Synchronisierimpulse wirkungslos, denn nach jeder "Setzkorrektur" des Flip-Flops 91 kann nur eine "Rücksetzkorrektur" folgen.

Das Flip-Flop 91 bei der Schaltungsanordnung nach Fig. 11 kann grundsätzlich nur gesetzt werden, wenn ein Phasenwechsel ($F42 \neq F44$) vorliegt (Bedingung 1). Dazu wird das Ausgangssignal PW der Exklusiv-Oder-Schaltung 51 (Fig. 6) über einen Eingang 104 Und-Schaltungen 105, 106 zugeführt.

Die Bedingungen 2 und 3 gelten für den gleichen Zeitbereich. Sie werden bei 107 und -verknüpft und über eine Verzögerung 108 weiteren Und-Schaltungen 109, 110 zugeführt. Diese dienen zur weiteren Verknüpfung mit dem Ergebnis der vierten Bedingung. Mit jedem DB-Taktimpuls DBT, der über einen Eingang 111 zugeführt wird, werden die Zähler 93 und 102 rückgesetzt.

Das Signal für die Bedingung 4 wird gewonnen, indem ein Flip-Flop 112 mit dem Ausgangssignal des Decoders 38 (Fig. 5), d. h. bei einer "guten" 1 des Signals DS, gesetzt wird. Entsprechend wird ein Flip-Flop 113 vom Ausgangssignal des Decoders 39 bei einer "guten" 0 gesetzt. Mit den nächsten beiden DB-Takten werden die in die Flip-Flops 112, 113 aufgenommenen Signalpegel über Flip-Flops 114, 115 in Flip-Flops 116, 117 geschoben. Diese liefern für die Fehlerkorrektur-Schaltung (Fig. 6) an ihren Ausgängen die Signale DWN und DWP, die über die Ausgänge 118 und 119 den Eingängen 54 und 55 der Fehlerkorrektur-Schaltung nach Fig. 6 zugeführt werden.

Mit dem Ausgangssignal des Flip-Flops 116 und dem

Ausgangssignal der Verzögerungsschaltung 108 kann ein Flip-Flop 120 gesetzt werden. Voraussetzung ist jedoch, daß ein Flip-Flop 121 rückgesetzt ist, da anderenfalls eine Und-Schaltung 122 den Setzeingang des Flip-Flops 120 sperrt.

Das Flip-Flop 121 ist allerdings nur rückgesetzt, wenn zuvor ein Flip-Flop 123 gesetzt wurde. Der umgekehrte Fall gilt für ein Flip-Flop 124 mit der Und-Schaltung 125 in Verbindung mit den Flip-Flops 121, 123 und 117. Die Verzögerung des DB-Taktsignals bei 126 ist erforderlich, weil die Übernahme der Pegel in die Flip-Flops 116 bzw. 117 beendet sein muß, bevor die Flip-Flops 121 bzw. 123 gesetzt werden können. Wenn mit dem DB-Takt von einem der Ausgänge der Flip-Flops 120, 124 eine "1" in die folgenden Flip-Flops 127, 128 übernommen wurden, werden über eine Oder-Schaltung 129 und eine Verzögerungsschaltung 130 die Flip-Flops 120, 124, 127, 128 rückgesetzt. Mit den Setz- bzw. Rücksetzimpulsen an den Ausgängen der Flip-Flops 127, 128 wird das Flip-Flop 91 synchronisiert, wenn ein Phasenwechsel PW vorliegt.

Fig. 12 zeigt Zeitdiagramme verschiedener bei den Schaltungsanordnungen nach Fig. 6 und nach Fig. 11 auftretender Signale. In Zeile a ist das Signal DBT+ dargestellt.

Das in Zeile h dargestellte Signal stellt die erste Bedingung, nämlich $F42 \neq F44$ dar. Bei einer logischen 1 ist diese Bedingung erfüllt. Zeile i zeigt das Ausgangssignal der Verzögerungsschaltung 108 (Fig. 11). Bei einem logischen Pegel von 1 ist die zweite Bedingung erfüllt, daß nämlich der Zähler 93 den Wert K erreicht hat.

Die Erfüllung der dritten Bedingung ist durch das Signal in Zeile k wiedergegeben, während die Erfüllung der vierten Bedingung, daß nämlich eine "gute" 0 oder 1 vorliegt, in Zeile l schematisch dargestellt ist.

Das in Zeile b gezeigte Signal DS für den Fall eines Radio-Daten-Signals mit Verkehrsfunksignalen umfaßt bei 141 und 142 je einen Fehler. Diese Fehler wirken sich auf die Signale DWN und DWP aus, die in den Zeilen f und g dargestellt sind, so daß der Zähler 93 (Fig. 11) nicht hochgezählt werden kann. Deshalb kann zu diesen Fehlerzeitpunkten im Signal DS die Phase des Flip-Flops 91 noch nicht korrigiert werden.

Die Zeilen m bis r zeigen die jeweiligen Inhalte der Flip-Flops 121, 123, 120, 124, 127 und 128 (Fig. 11).

In Zeile s ist das Signal DBT- dargestellt, während Zeile t die Datenimpulse DI zeigt. Zeile u enthält dann schließlich das Signal RFF. Ferner ist in Zeile v angedeutet, wann die Phasenlage dieses Signals falsch oder richtig ist.

Fig. 13 zeigt eine Schaltungsanordnung zur weiteren Verarbeitung des Datenimpulses DI und zur Gewinnung des Bittaktes aus dem Signal DBT mit doppelter Bittaktfrequenz. Zur weiteren Erläuterung wird auf die in Fig. 14 dargestellten Zeitdiagramme Bezug genommen. Die Zeilen a bis e zeigen bereits zuvor erläuterte Signale F43, F44, DI, DBT und DBT.

Die Signale DI und DBT werden Eingängen 144, 145 zugeführt und werden mit Hilfe eines Invertierers 146 und einer Und-Schaltung 147 logisch verknüpft. Das Ausgangssignal der Und-Schaltung 147 triggert ein Flip-Flop 148, dessen invertierender Ausgang auf den Dateneingang rückgekoppelt ist. Das Ausgangssignal des Flip-Flops 148 ist in Zeile f dargestellt. Das invertierte Signal DBT triggert ein Flip-Flop 149, dessen invertierender Ausgang auf den Dateneingang rückgekoppelt ist und ferner einen Ausgang 150 für das RDS-Bittaktsignal (Zeile m) bildet.

Durch eine Und-Verknüpfung bei 151 entsteht ein Taktsignal T152 (Zeile h) für ein weiteres Flip-Flop 152, dessen Dateneingang mit dem Ausgang des Flip-Flops 148 verbunden ist. Am Ausgang des Flip-Flops 152 entsteht das in Zeile i dargestellte Signal F152.

Der eigentliche RDS-Decoder besteht aus zwei Flip-Flops 153, 154 und einer Exklusiv-Oder-Schaltung 155. Beide Flip-Flops werden von dem mit Hilfe des Flip-Flops 149 gewonnenen invertierten RDS-Bittakt BT (Zeile g) getaktet. Der Dateneingang des Flip-Flops 153 ist an den Ausgang des Flip-Flops 152 angeschlossen, der Ausgang des Flip-Flops 153 an den Dateneingang des Flip-Flops 154. Die Ausgangssignale der Flip-Flops 153, 154 sind in den Zeilen k und l dargestellt und werden mit Hilfe der Exklusiv-Oder-Schaltung 155 zu den in Zeile n dargestellten RDS-Daten verknüpft, die am Ausgang 156 abnehmbar sind.

Die Phase des RDS-Bittaktes kann auch um 180° verschoben sein. Auch dieser Zustand ist zulässig. Die sich dann ergebenden Signale sind in den Zeilen f' bis n' dargestellt. Die Phase des RDS-Daten-Signals ist wie im ersten Fall an den um 180° verschobenen Takt angepaßt.

Patentansprüche

1. Demodulator- und Fehlerkorrektur-Schaltung für Radio-Daten-Signale, deren Übertragung durch Phasenumtastung eines unterdrückten Hilfsträgers erfolgt, wobei

- das empfangene hilfsträgerfrequente Signal um eine halbe Periode des Bittaktes des Radio-Daten-Signals verzögert wird,
- das empfangene und das verzögerte hilfsträgerfrequente Signal vektoriell addiert werden und
- aus dem Ergebnis der vektoriellen Addition ein Rechtecksignal (ZD) abgeleitet wird, dessen Phase von dem empfangenen und dem verzögerten hilfsträgerfrequenten Signal abhängt,

dadurch gekennzeichnet, daß die vektorielle Addition digital erfolgt und daß nach der Demodulation des Rechtecksignals (ZD) Fehler durch Vergleiche mit der Sollfunktion des demodulierten Signals erkannt und korrigiert werden.

2. Demodulator- und Fehlerkorrektur-Schaltung nach Anspruch 1, dadurch gekennzeichnet,

- daß zur vektoriellen Addition das empfangene und das verzögerte hilfsträgerfrequente Signal (XY) und-verknüpft werden,
- daß mit dem resultierenden Signal die Zuführung von Zählimpulsen einer vorgegebenen Frequenz, die wesentlich höher als die Frequenz des Hilfsträgers ist, und von weiteren Zählimpulsen mit gegenüber den Zählimpulsen halber Frequenz derart steuerbar ist, daß ein erster Zähler (7) während der Impulse des resultierenden Signals mit den weiteren Zählimpulsen und während der Intervalle zwischen den Impulsen mit den Zählimpulsen getaktet wird,
- daß Vorderflanken des Rechtecksignals (ZD) durch Erreichen eines vorgegebenen Zählerstandes des ersten Zählers bestimmt sind und
- daß Rückflanken des Rechtecksignals (ZD) dadurch bestimmt sind, daß ein zweiter Zähler

(13) einen vorgegebenen Zählerstand erreicht.

3. Demodulator- und Fehlerkorrektur-Schaltung nach Anspruch 1, dadurch gekennzeichnet,

- daß zur Fehlerkorrektur Vergleichsergebnisse, die jeweils innerhalb einer halben Bittaktperiode gewonnen werden, durch ein Schieberegister (42, 43, 44) geschoben werden, wobei der Inhalt mindestens einer Speicherstelle (43) des Schieberegisters (42, 43, 44) zu Korrekturzwecken veränderbar ist, und
- daß das Vergleichsergebnis durch Vergleich der Zählerstände zweier Zähler (28, 30) erzielt wird, welche trägerfrequente Impulse während jeweils einer halben Bittaktperiode zählen.

4. Demodulator- und Fehlerkorrektur-Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß Phasenwechselimpulse (PW), die vom demodulierten Signal (DS) abgeleitet werden, ein Flip-Flop (91) synchronisieren, das den Inhalt der einen Speicherstelle (43) des Schieberegisters (42, 43, 44) steuert.

5. Demodulator- und Fehlerkorrektur-Schaltung dadurch gekennzeichnet, daß zur Fehlerkorrektur Signale verwendet werden, welche ein Maß für die Qualität eines demodulierten Signals sind und daß ferner die Fehlerkorrektur davon abhängig ist, ob innerhalb einer halben Bittaktperiode mehrere Pegelwechsel des demodulierten Signals festgestellt wurden.

Hierzu 13 Seite(n) Zeichnungen

35

40

45

50

55

60

65



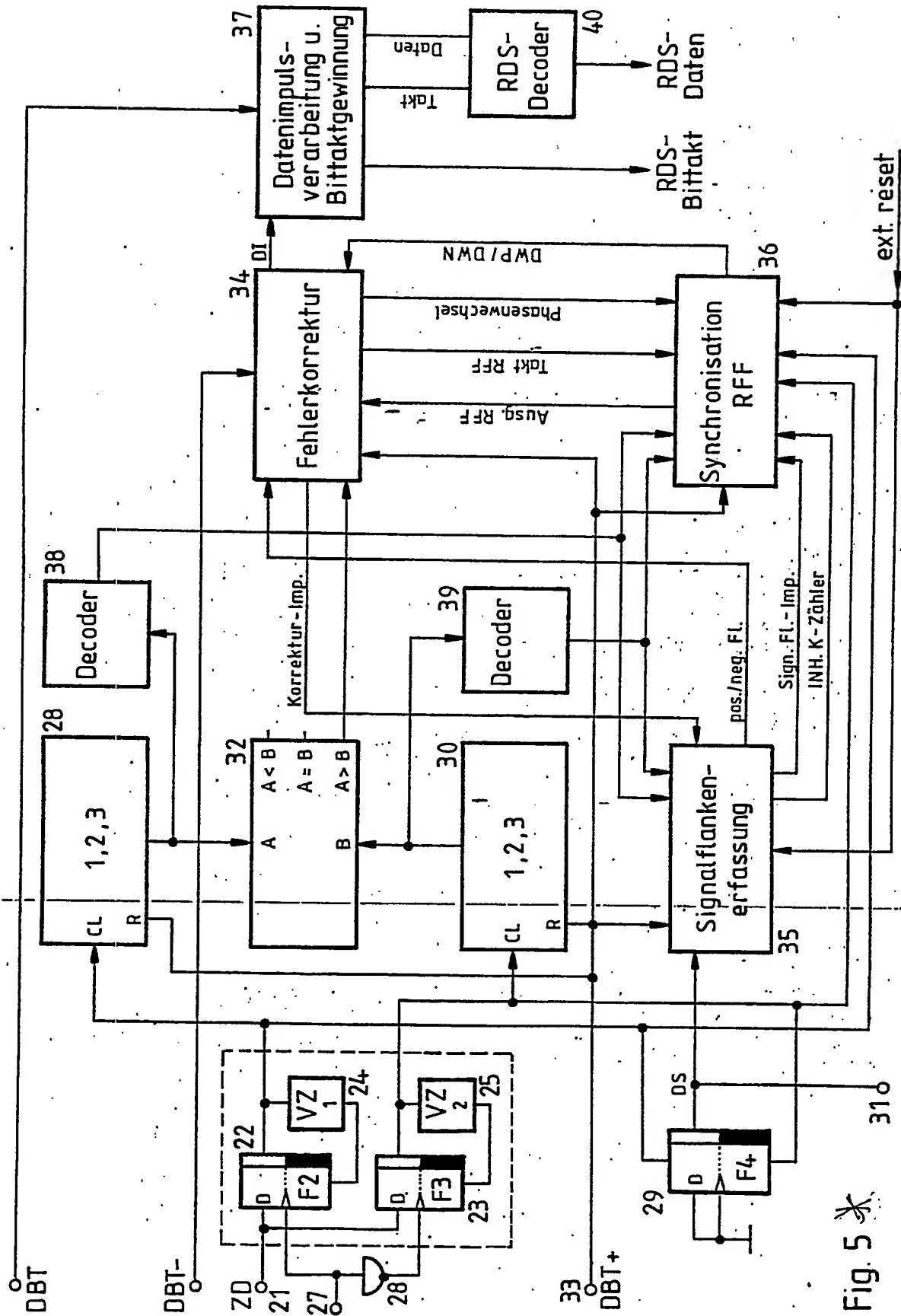


Fig. 5 *

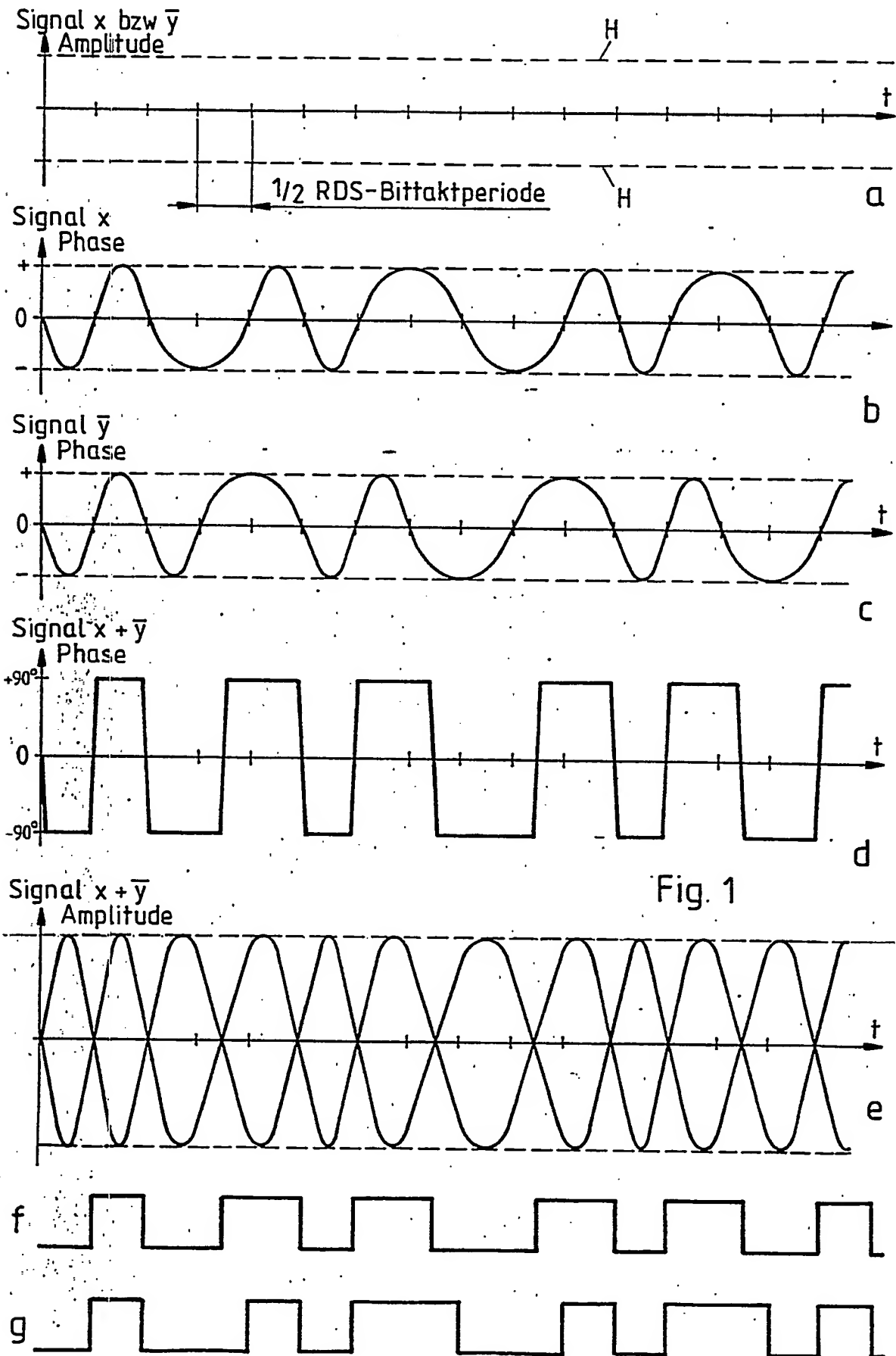
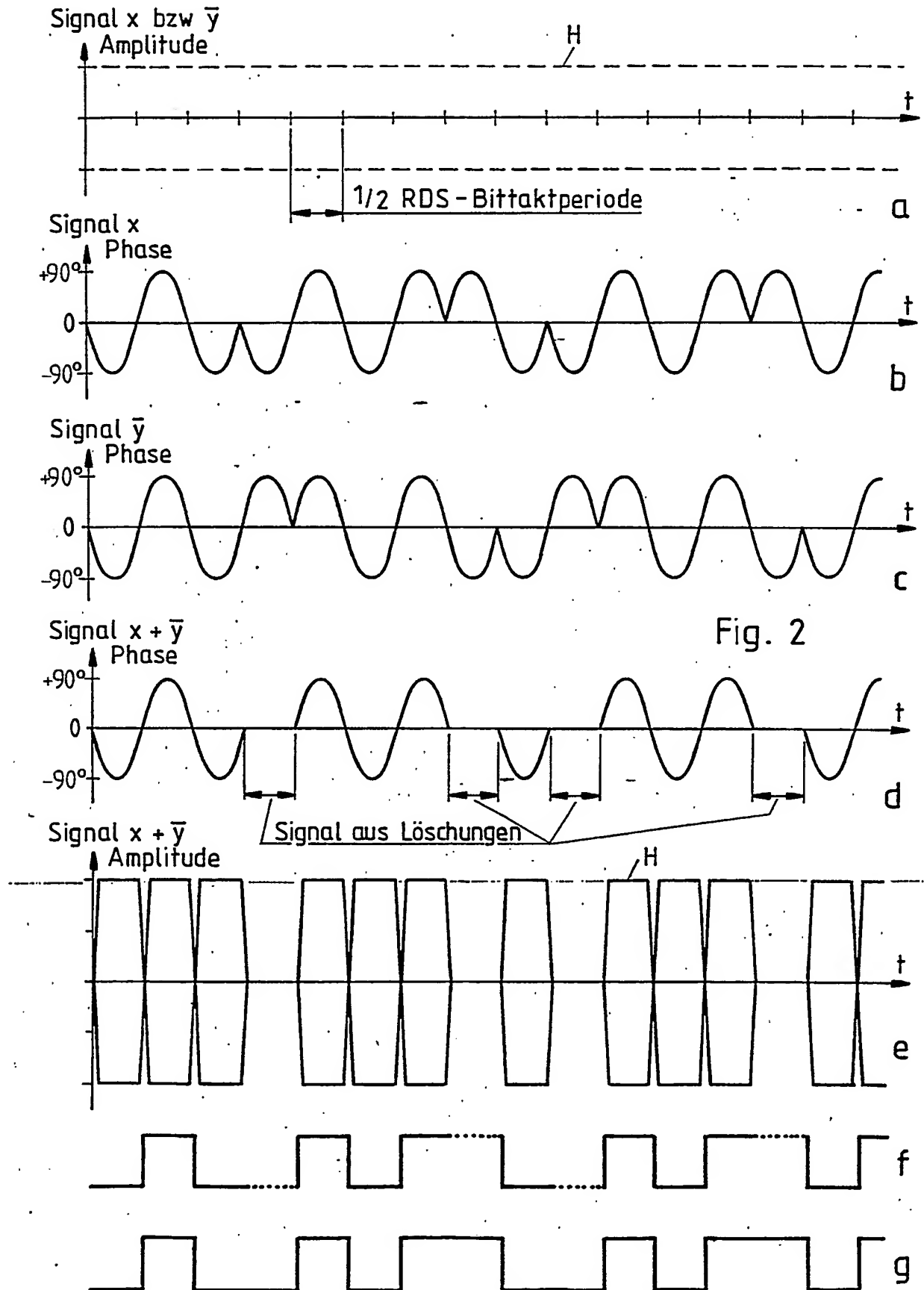
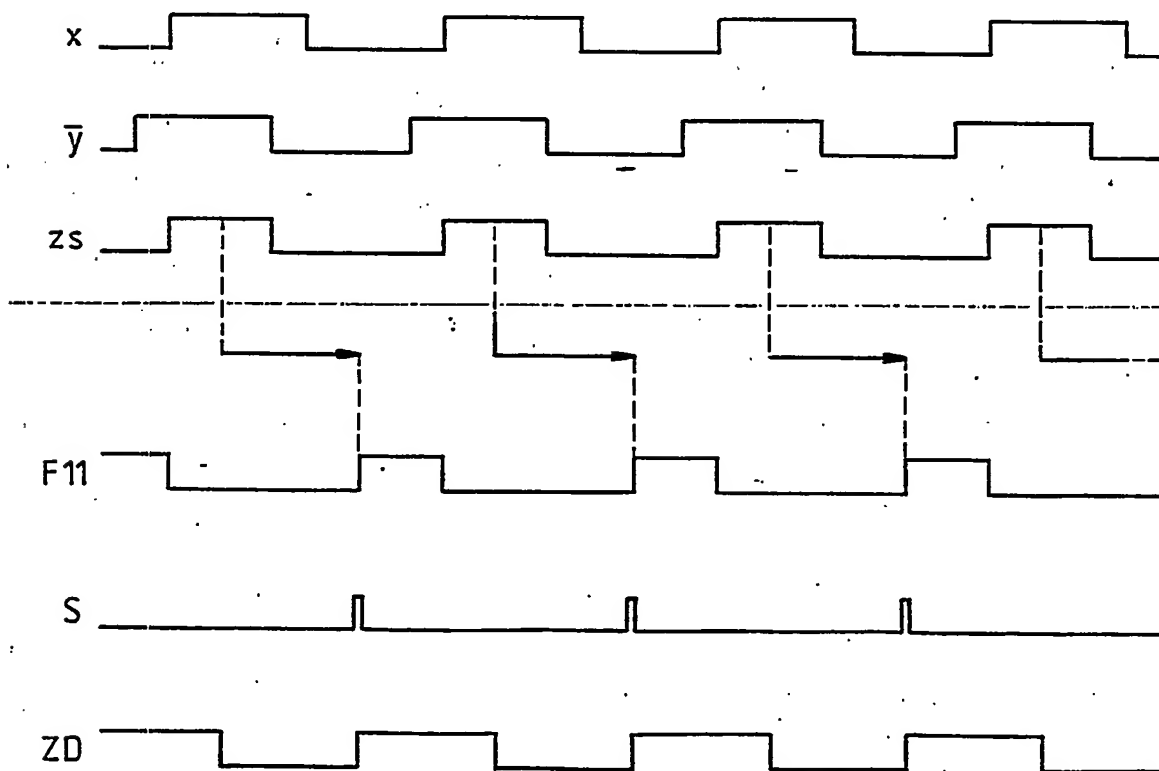
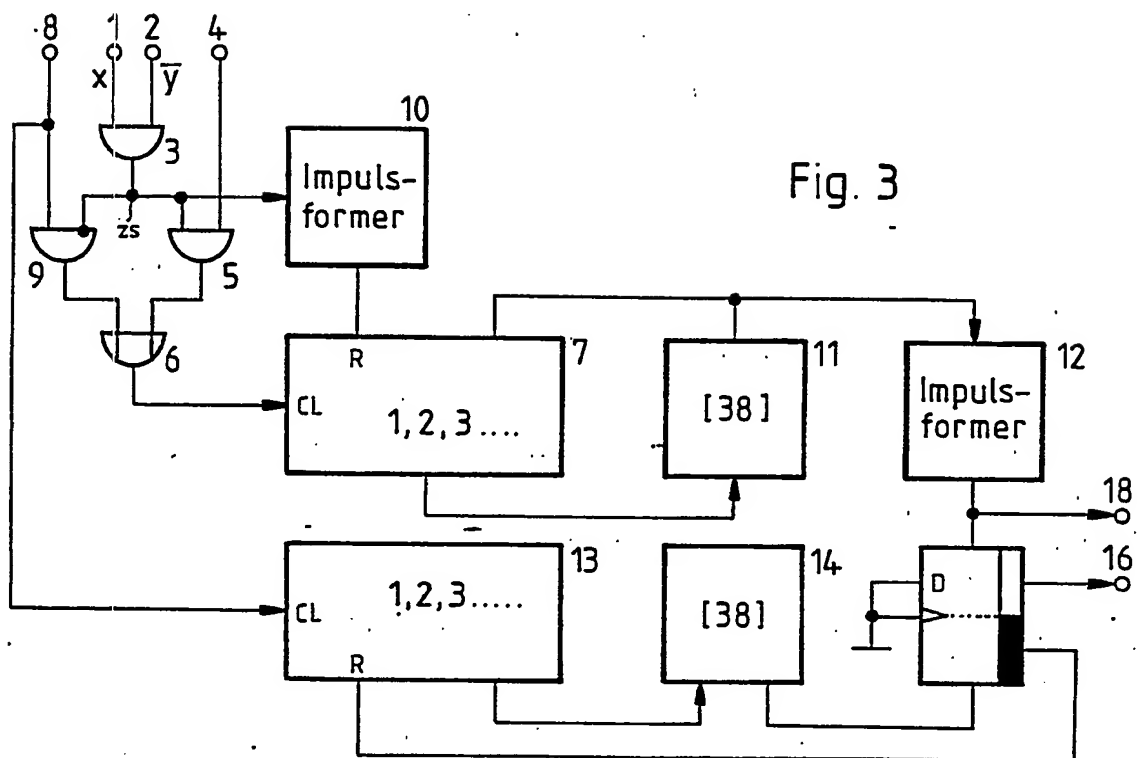


Fig. 1





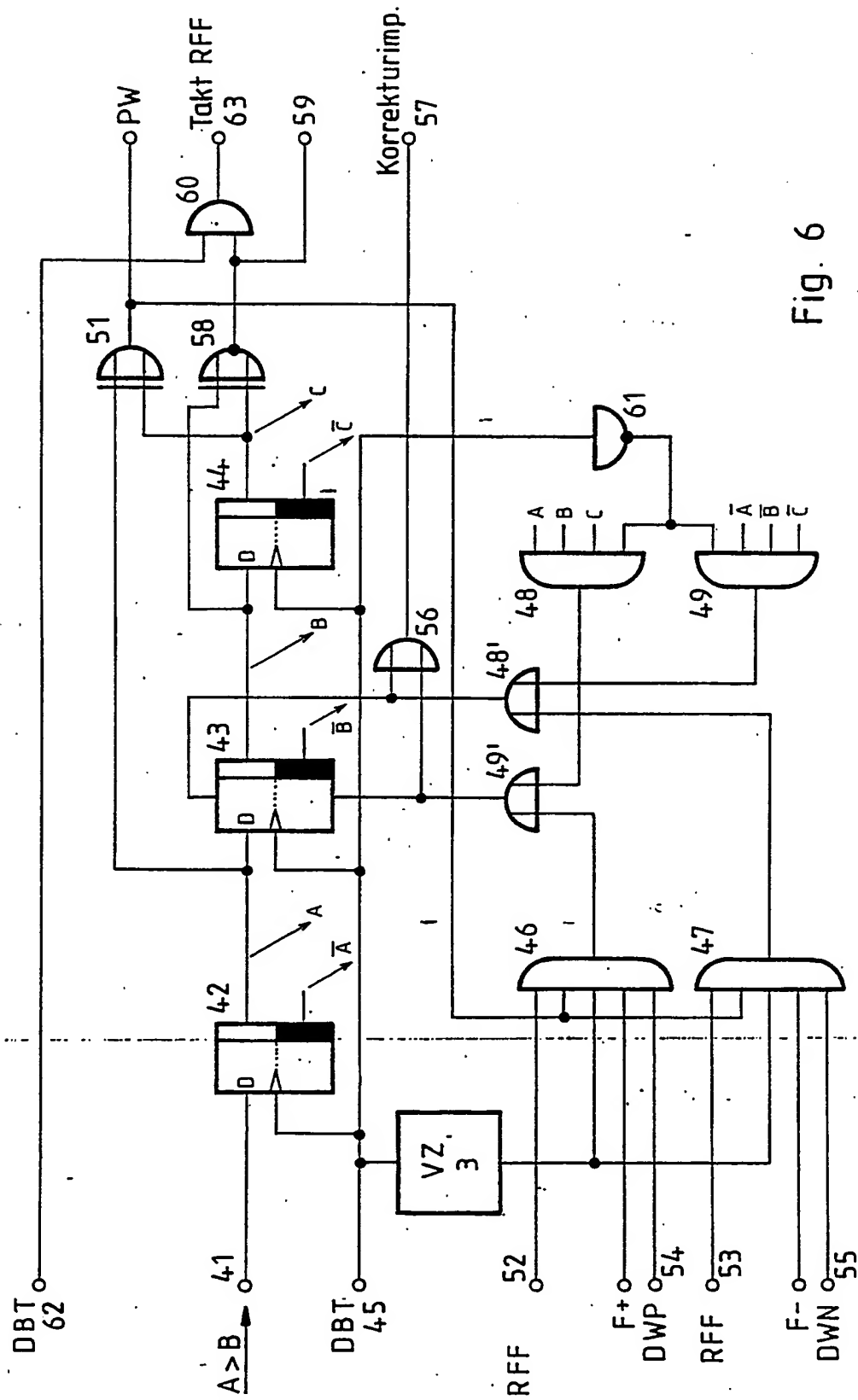
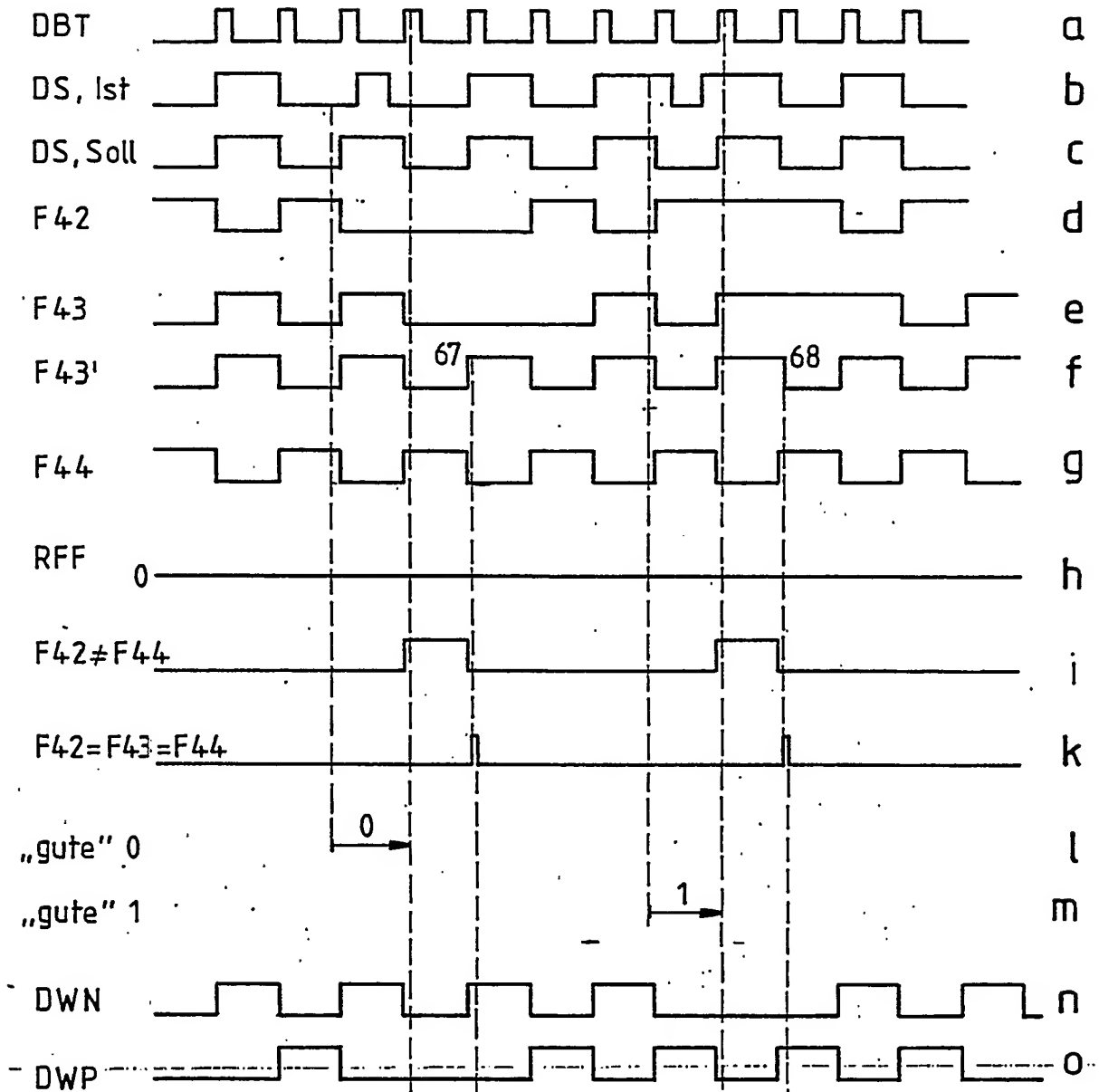


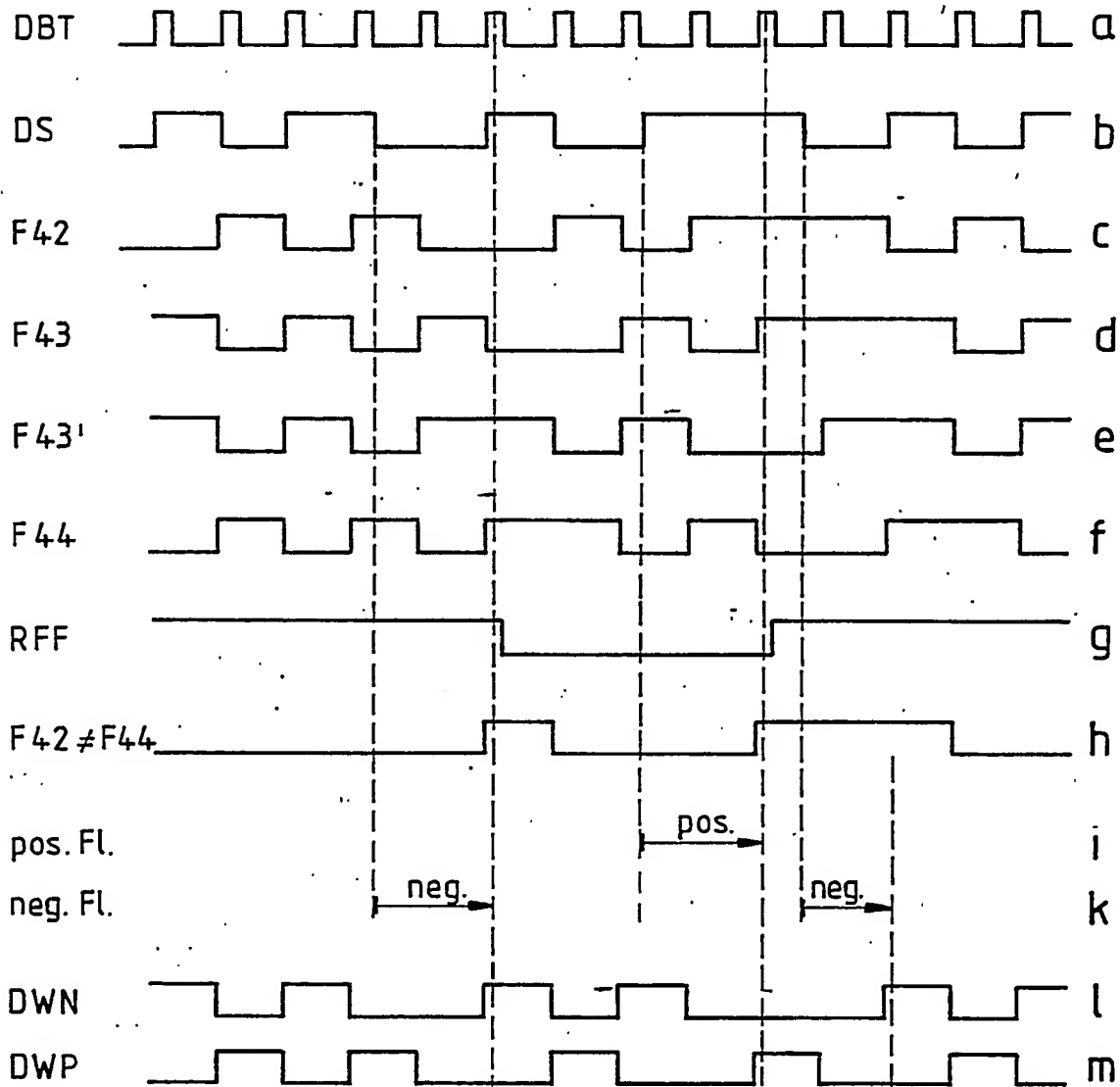
Fig. 6



Bedingung	Soll	Ist		Soll	Ist	
1. $F42 \neq F44$	1	1		1	1	
2. RFF	0	0		0	0	
3. „gute“ 0, 1	0	1		0	0	
4. DWN, DWP	DWP	$\overline{\text{DWN}}$ DWP		DWP	$\overline{\text{DWN}}$ DWP	
Korrektur Imp.		-	x			x
F43 Kippen		-	x			x
Korrekturart	1	2		1	2	

x → ausführen
- → nicht ausführen

Fig. 7

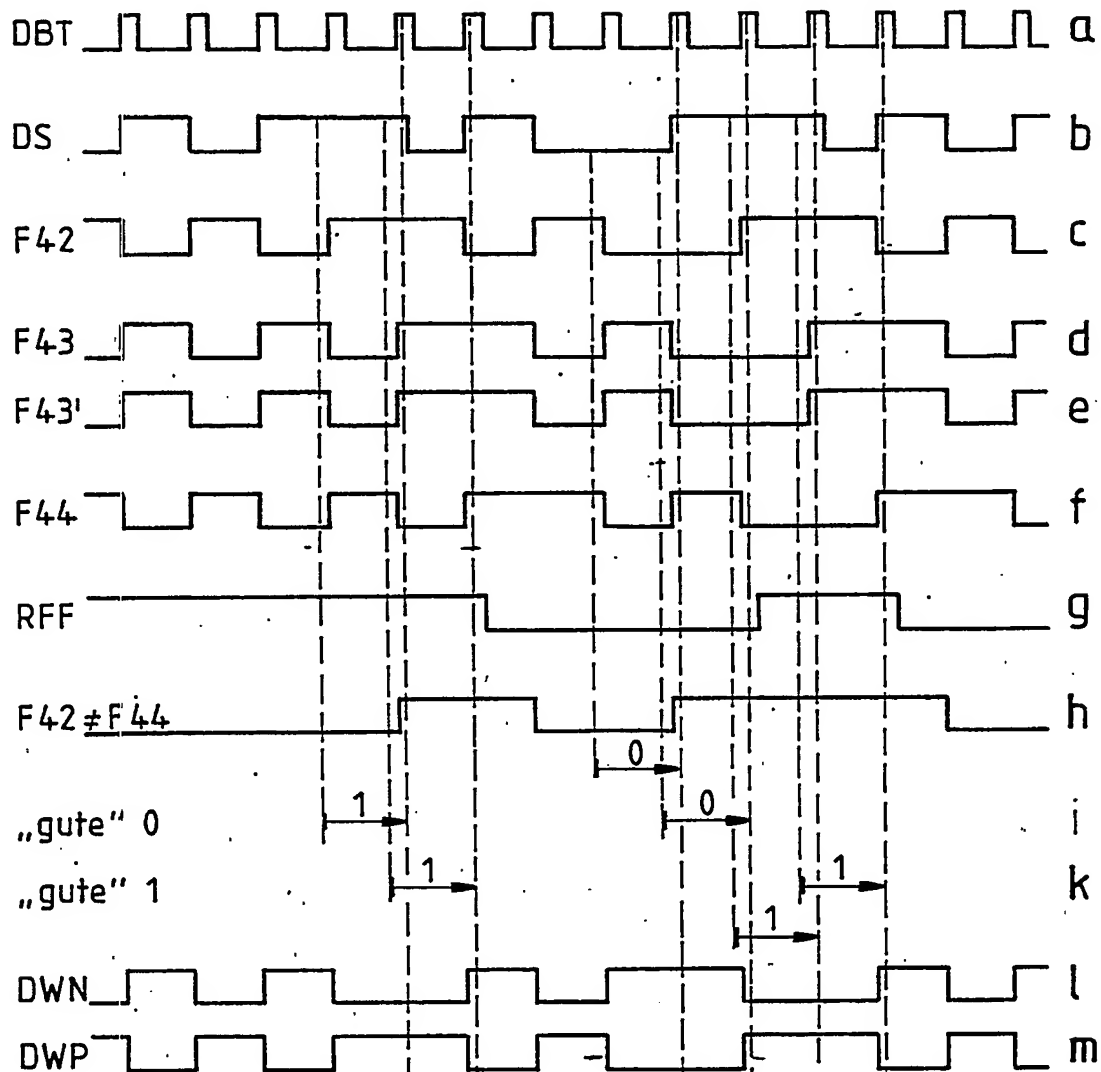


Bedingung	Soll	Ist		Soll	Ist	Soll	Ist
1. F42 ≠ F44	1	1		1	1	1	1
2. RFF	1	1		0	0	1	1..
3. pos. /neg. Flanke	neg.	neg.		pos.	pos.	neg.	neg.
4. DWN / DWN	DWN	DWN		DWP	DWP	DWN	DWN
Korrektur - Imp.		x			x		x
F43 kippen		x			x		-
Korrekturart	1			1		1	

x → aus-
führen
-- → nicht
ausführen

Fig. 8





Bedingung	Soll	Ist	Ist		Soll	Ist	Ist	Ist	Ist	Soll
1. $F_{42} \neq F_{44}$	1	1	1		1	1	1	1	1	1
2. RFF	1	1	1		0	0	0	1	1	1
3. „gute“ 0,1	1	1	1		0	0	0	1	1	1
4. DWN, DWP	DWN	DWP	DWN		DWP	DWN	DWP	DWP	DWN	DWN
Korrektur Imp.		-	x			-	x	-	x	
F43 Kippen		-	-			-	-	-	-	
Korrekturart	1				1			1		

Fig. 9

x → ausführen ; - → nicht ausführen



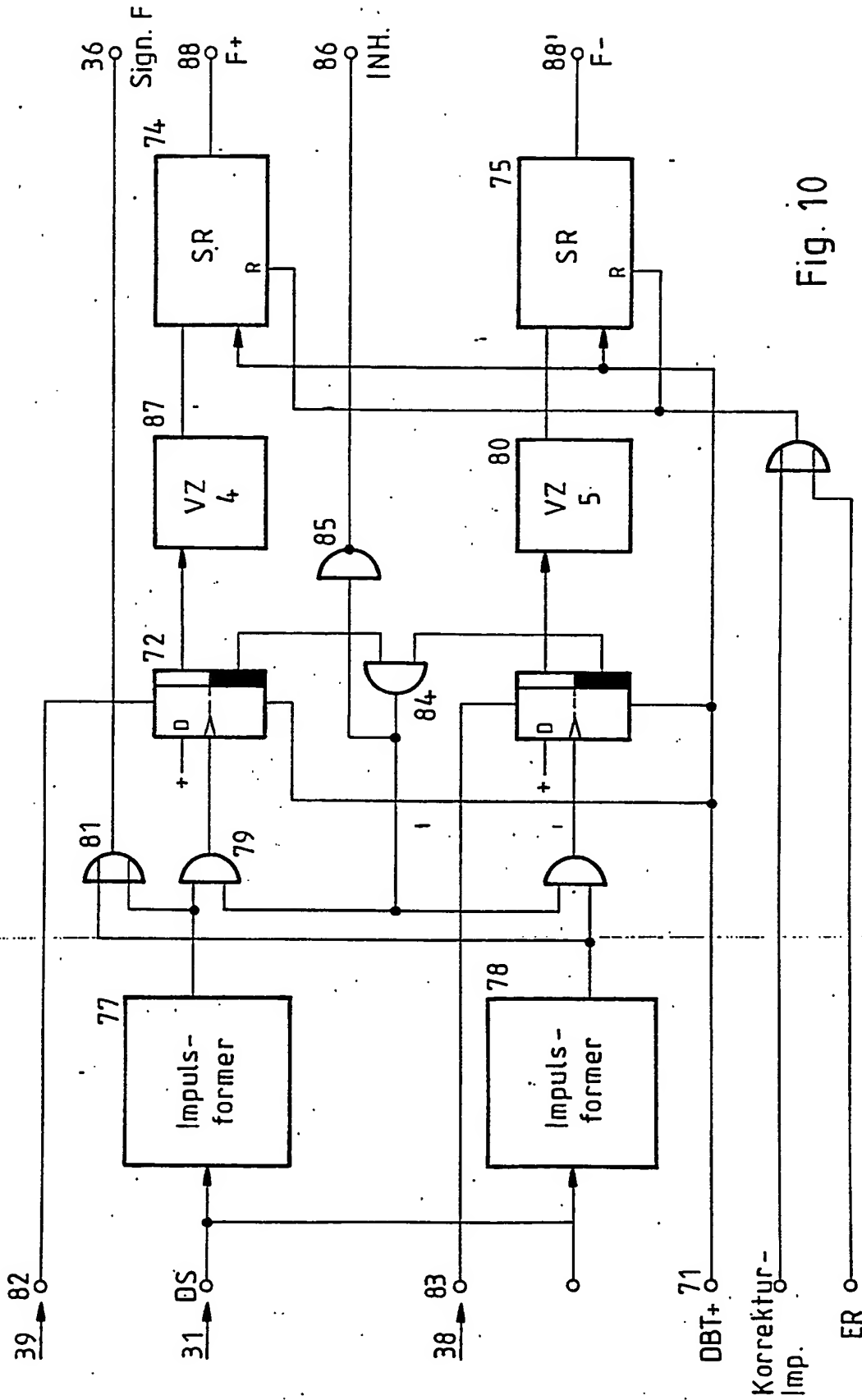
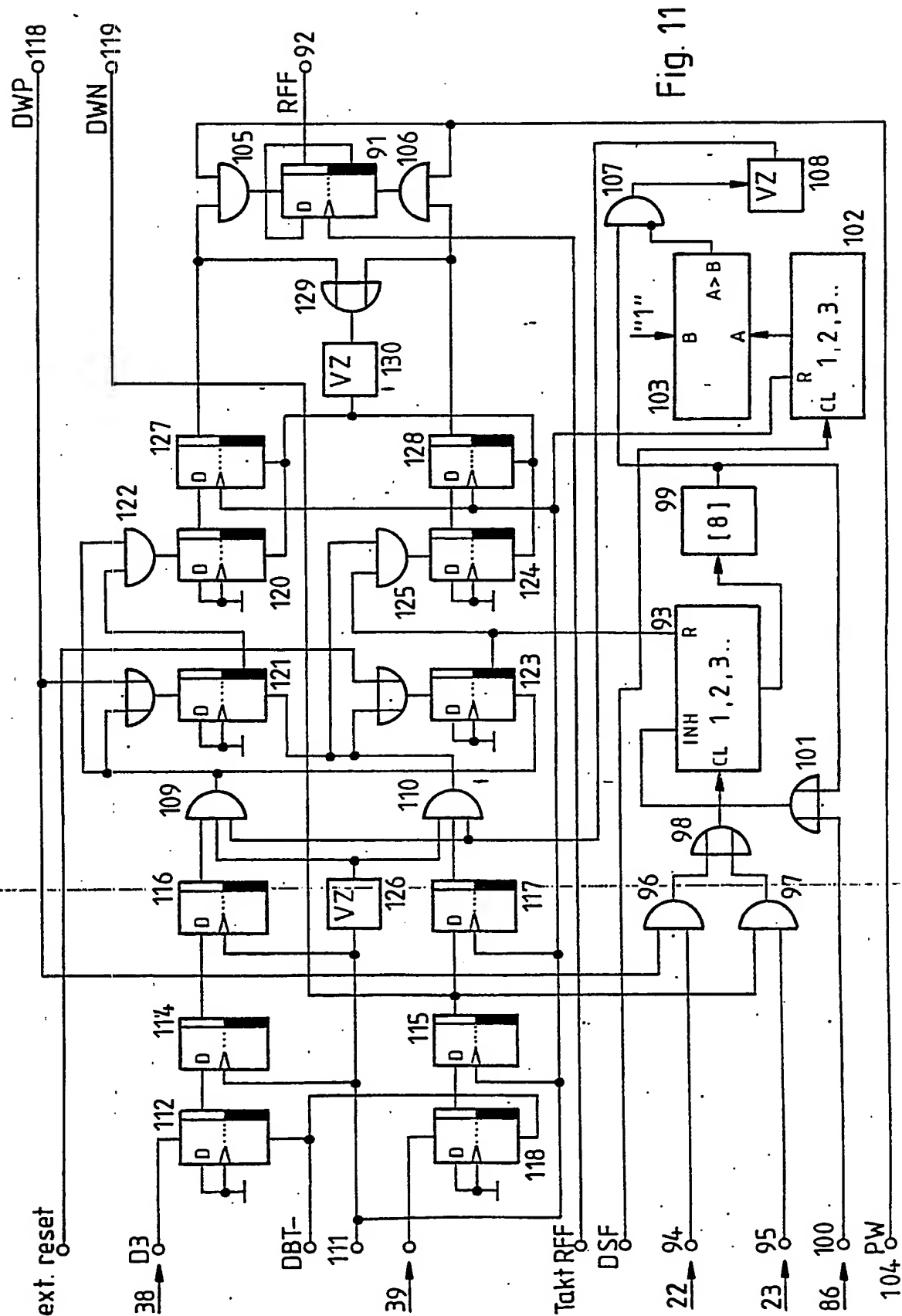
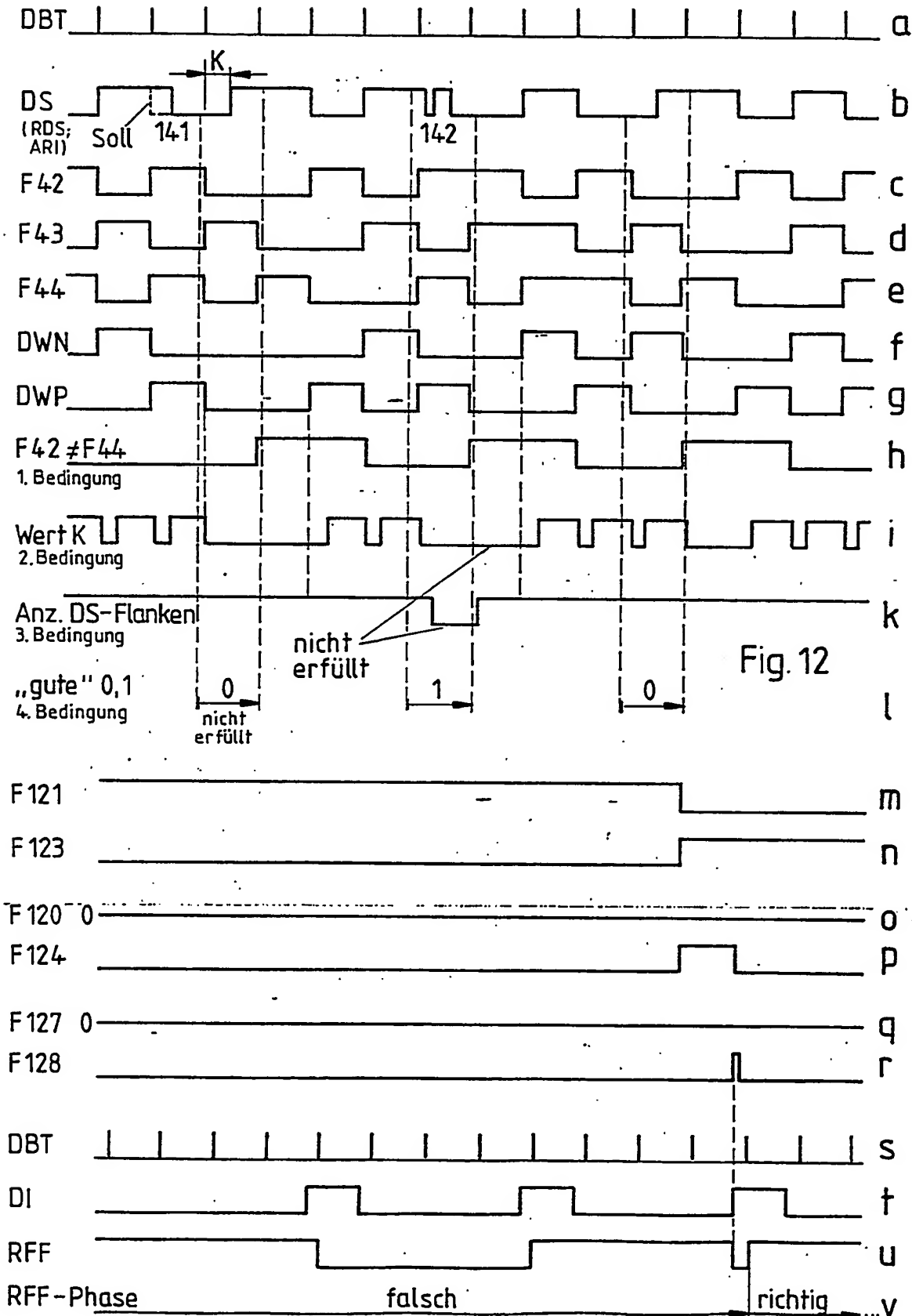


Fig. 10





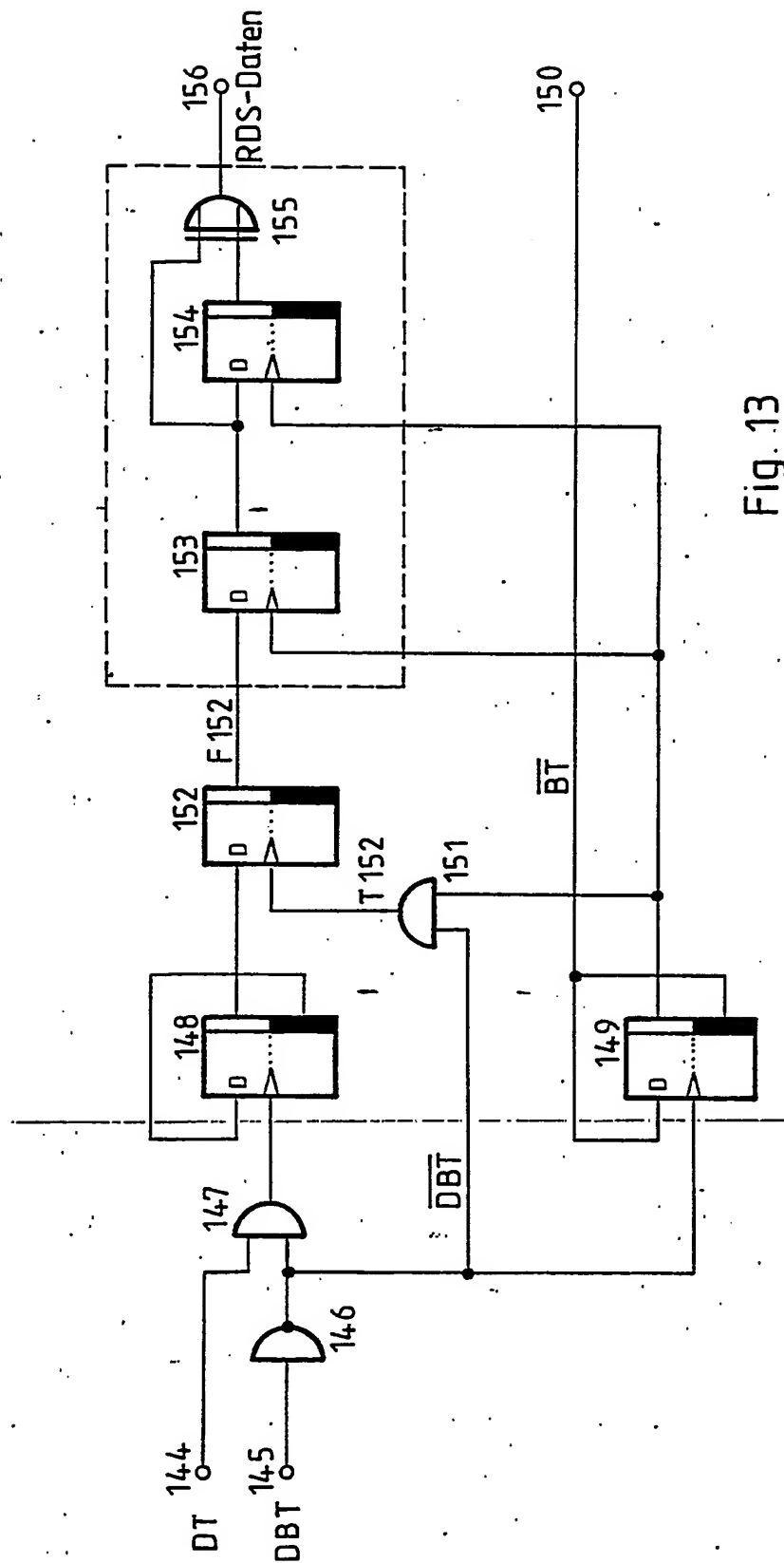


Fig. 13

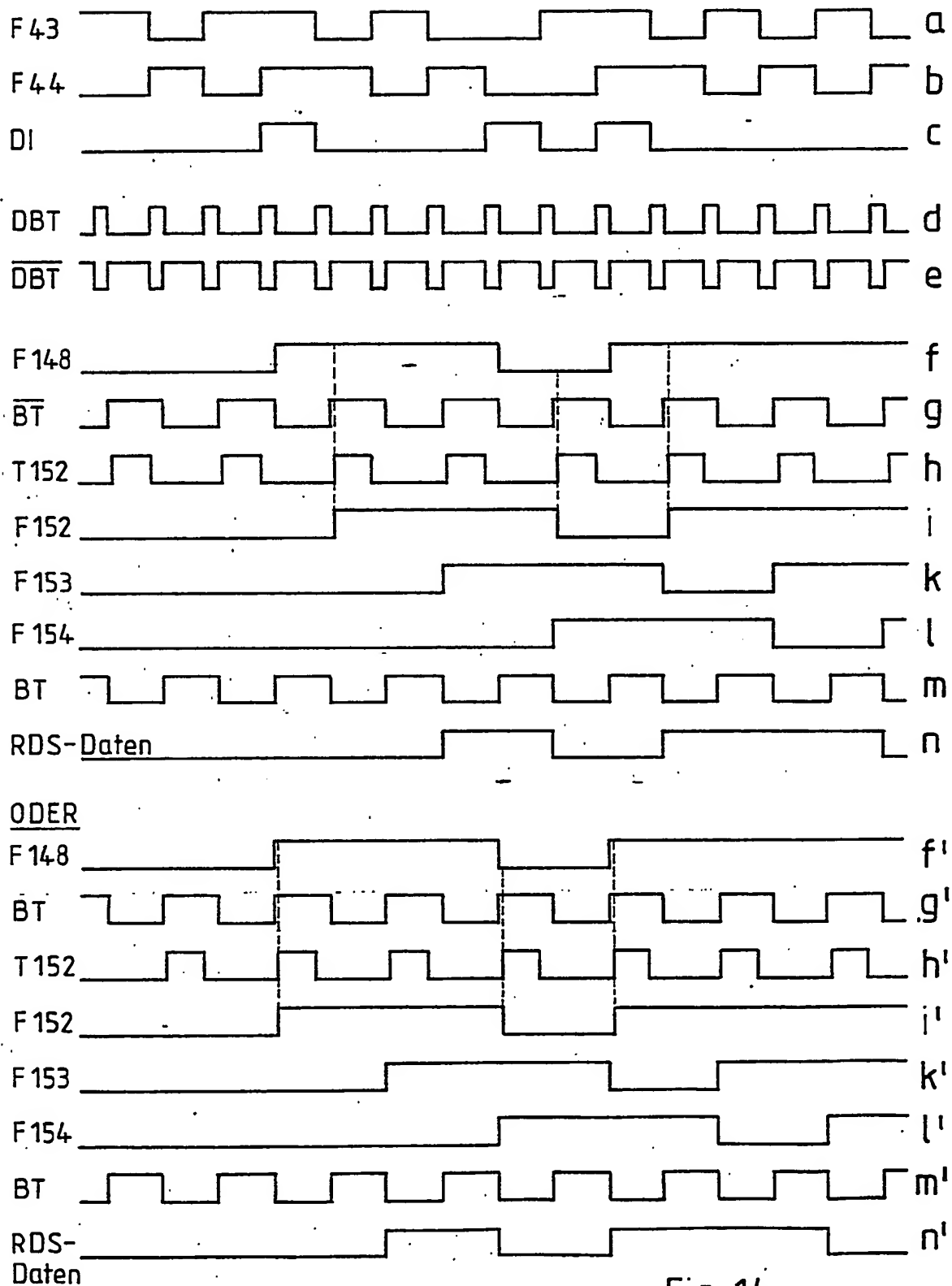


Fig. 14



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.